

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004年5月13日 (13.05.2004)

PCT

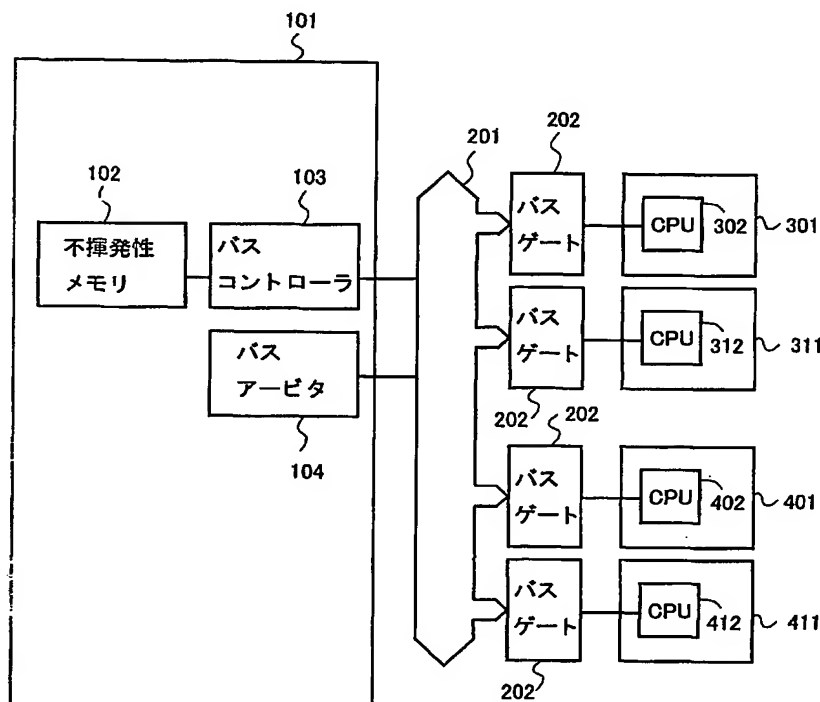
(10) 国際公開番号  
WO 2004/040451 A1

- (51) 国際特許分類: G06F 11/20, 15/17, 3/00 (ATAGO, Kunio) [JP/JP]; 〒361-0045 埼玉県 行田市 押上町3番地11 Saitama (JP).
- (21) 国際出願番号: PCT/JP2002/011243
- (22) 国際出願日: 2002年10月29日 (29.10.2002) (74) 代理人: 丹羽 宏之 (NIWA, Hiroyuki); 〒105-0004 東京都港区新橋一丁目18番16号 日本生命新橋ビル 丹羽国際特許事務所 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): CA, CN, JP, KR, US.
- (71) 出願人 (米国を除く全ての指定国について): 株式会社フォークス (KABUSHIKI KAISHA FORKS) [JP/JP]; 〒110-0004 東京都台東区下谷二丁目7番10号 Tokyo (JP). (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).
- (72) 発明者; および 添付公開書類:  
— 国際調査報告書  
(75) 発明者/出願人 (米国についてのみ): 愛宕 邦夫 — 補正書・説明書

[続葉有]

(54) Title: SYSTEM CONTROLLER, CONTROL SYSTEM, AND SYSTEM CONTROL METHOD

(54) 発明の名称: システムコントローラ、コントロールシステムおよびシステムコントロール方法



102...NON-VOLATILE MEMORY  
103...BUS CONTROLLER  
104...BUS ARBITER  
202...BUS GATE

(57) Abstract: A system controller, a control system, and a system control method which are inexpensive, highly stable, capable of storing every information and history in a case of system failure, and capable of switching the processing without any time lag. The system controller includes a bus arbiter and a non-volatile memory and has only a periodical function and a passive function. The system controller uses a bus of a center arbitration method which can attach/detach a device while the power is supplied thereto. Even when one of the devices has failed, processing can be immediately continued by another device on the bus.

(57) 要約: 主として安価で安定性が高く、ダウンした際の情報、履歴を全て保存し、タイムラグのない処理の切り替えが可能なシステムコントローラ、コントロールシステムおよびシステムコントロール方法を提供することを目的とする。そのために、バスアービタと不揮発性メモリとを備え、定期的な機能および受動的な機能のみを有するシステムコントローラと、センタアービトレーション方式で、かつ電源投入したままデバイスの抜き挿しが可能なバスと、を用いて、デバイスの一つがダウンしても、前記バス上にある他のデバイスによって即時に処理を続行することができるようになる。

用いて、デバイスの一つがダウンしても、前記バス上にある他のデバイスによって即時に処理を続行することができるようになる。

## 明 細 書

システムコントローラ、コントロールシステム  
およびシステムコントロール方法

## 5 技術分野

この発明は、システムコントローラ、コントロールシステムおよびシステムコントロール方法に関するものである。

## 背景技術

- 10 従来、複数のCPUを備えて、あるCPUがダウンする等のエラーが生じた際に他のCPUを用いることで、システムの処理を中断せず安定性を高める技術が知られている。この種の技術としては、例えば、特開平5-134932号公報に示されるものなどが知られている。

第5図を用いてこの技術の概略を説明する。

- 15 第5図は、従来の技術の概略を示すブロック図である。

- 1は第1CPUボード、2は第2CPUボード、10は共通バス、11はCPU、12は、CPU11からのアクセス要求とCPU21からのアクセス要求との調停をとる調停回路、13、14は、該調停回路12の制御により第1CPUボード1および第2CPUボード2からの  
20 データの方向決めを行うバスゲート、15は、メモリアクセス中のエラーの監視をするエラー検出回路、16は、処理データを蓄積するメモリ、17は内部バス、18はレディ監視回路、21はCPU、22は調停回路、23、24はバスゲート、25はエラー検出回路、26はメモリ、27は内部バス、28はレディ監視回路である。

- 25 第1CPUボード1は、CPU11と、調停回路12と、バスゲート13、14と、エラー検出回路15と、メモリ16とを備え、第2CP

Uボード2も第1CPUボード1と同様の構成を備えている。

そして、第1CPUボード1と第2CPUボード2とを共通バス10を介して設置し、第1CPUボード1のメモリ16のアクセス中にエラーを検出した時は、調停回路12からバスゲート13、14を制御してアクセス権を第2CPUボード2に譲渡するようにしている。

また、この技術の他に、複数のCPUからアクセス可能なりフレクトメモリを複数のCPUの共通メモリとして用いる技術等が知られている。

しかしながら、これらの技術では、エラー検出回路によってCPUのエラーを検出し、それからCPUの切り替えを行っているので、CPUのエラー発生と、その検知およびCPUボードの切り替えとの間に短いながらもタイムラグがあった。そして、このタイムラグがあることで、問題が生じる場合があった。

例えば、データの演算を行って随時その結果をメモリに書き込む処理を実行中のCPUがダウンすると、CPUで演算中であったデータは失われ、既にメモリに書き込んだデータのみが残る。CPUのダウンはタイムラグをおいて検知されるので、どこまでのデータが既にメモリに書き込まれているかはわからず、メモリを処理前の状態に戻し、他のCPUを起動させて、演算および書き込み処理をはじめからやり直すか、又は既にメモリに書き込まれたデータを改めてチェックし、どこまでのデータが残されているかを判断して、他のCPUを起動させて、その続きから演算および書き込み処理をやり直す必要があった。

このようにタイムラグがあることによって、データの処理に時間がかかったり、CPUの切り替えに高度な機能を要求されたりし、これらを解決しようとしても、大掛かりなシステムや高機能を有するソフトウェアを用いるので、結果として費用がかかったり安定性が犠牲となったりしていた。

また、複数のCPUが共通メモリを用いる場合には、高価なリフレクトメモリを用いることでさらに費用がかさむといった問題もあった。

この発明は叙上の点に着目して成されたもので、主として安価で安定性が高く、ダウンした際の情報、履歴を全て保存し、タイムラグのない  
5 処理の切り替えが可能なシステムコントローラ、コントロールシステム  
およびシステムコントロール方法を提供することを目的とする。

#### 発明の開示

以下に、この発明の技術内容を開示する。

10 (1) センターアービトレーション方式で、かつ電源投入したままデバイスの抜き差しが可能なバスを制御するシステムコントローラであって、バスアービタと不揮発性メモリとを備え、定期的な機能および受動的な機能のみを有することを特徴とするシステムコントローラ。

(2) バスアービタと不揮発性メモリとを備え、定期的な機能および  
15 受動的な機能のみを有するシステムコントローラと、センターアービトレーション方式で、かつ電源投入したままデバイスの抜き差しが可能なバスと、を有することを特徴とするコントロールシステム。

(3) 前記バスは、PCIバスまたはコンパクトPCIバスであることを特徴とする前記(2)項記載のコントロールシステム。

20 (4) 前記デバイスは、複数のCPUボードを含み、前記複数のCPUボードは、同一の処理を同期して行うことを特徴とする前記(2)項記載のコントロールシステム。

(5) バスアービタと不揮発性メモリとを備え、定期的な機能および受動的な機能のみを有するシステムコントローラと、センターアービ  
25 レーション方式で、かつ電源投入したままデバイスの抜き差しが可能なバスと、前記バス上に複数のデバイスと、を有するコントロールシステ

ムのシステムコントロール方法であって、前記複数のデバイスのいずれ  
か一つが、前記バスアービタにバスの使用权を与えられて前記不揮発性  
メモリにアクセスし、処理結果を前記不揮発性メモリに反映させ、前記  
デバイスがダウンすると、即時に前記バスアービタが他のデバイスにバ  
5      スの使用权を与え、この他のデバイスが処理を続行し、ダウンした前記  
デバイスは、コントロールシステム全体の電源を投入したまま抜き挿し  
して復旧させることを特徴とするシステムコントロール方法。

#### 図面の簡単な説明

10      第1図は、本発明に係るコントロールシステムの概略構成を示すブ  
ロック図、第2図は、本発明の実施例におけるシステムコントローラの  
構成を示すブロック図、第3図は、本発明を用いたノンストップコント  
ロールシステムを示す図、第4図は、本発明に係るシステムコントロー  
ル方法を示すフローチャート、第5図は、従来の技術の概略を示すブロッ  
15      ク図をそれぞれ示す。

#### 発明を実施するための最良の形態

この発明をより詳細に説述するために、添付図面に従ってこれを説明  
する。

20      第1図～第4図を用いて本発明の実施例を説明する。

第1図は、本発明に係るコントロールシステムの概略構成を示すブ  
ロック図である。

第1図において、101は、クロック送出、バスアービタ、リセット  
送出、I D S E L送出等、定期的な機能および受動的な（パッシブな）  
25      機能のみを有するシステムコントローラ、102は、共通バス201上  
のデバイスからアクセス可能なS R A M等の不揮発性メモリ、103は

バスコントローラ、122は、共通バス201上のデバイス(CPUボード/I Oボードを問わず)からのアクセス要求を調停し、いずれか一つのデバイスに共通バス201の使用権を与えて不揮発性メモリ102にアクセスさせるバスアービタである。なお、バスアービタ122はバス  
5 コントローラ103と一体に設けてもよい。

201は、センタアービトレーション方式で、かつ電源投入したままデバイスの抜き差しが可能な、例えばPCIバス、コンパクトPCIバス等の共通バス、202はバスゲート、301は第1CPUボード、302はCPU、311は第2CPUボード、312はCPU、401  
10 は第1I Oボード、402はCPU、411は第2I Oボード、412はCPUである。

本実施例では、共通バス201上にシステムコントローラ101を設けている。このシステムコントローラ101は共有リソースとして用いる不揮発性メモリ102と、バスコントローラと、バスアービタ122  
15 とを備えている。

共通バス201は、センタアービトレーション方式で、かつ電源を投入したまま抜き差し可能なバスであるので、前記システムコントローラ101とこの共通バス201とのハードウェア構造の機能によって、連続運転、すなわちノンストップコントロールの実現に必要な環境を整  
20 えることができる。

通常、システムがダウンする原因となるのは複雑な作業を行うソフトウェアの部分であるため、このように、ハードウェア構造の機能によってノンストップコントロールの実現に必要な環境を整えることにより、安定性を飛躍的に高めることができる。

共通バス201上には、バスゲート202を介して複数のCPUボード301、311およびI Oボード401、411を備えている。

複数のCPUボード301、311の各CPU302、312は、同一の処理を同期して行い、CPU302、312のいずれか一方が前記バスアービタ122によって共通バス201の使用権を与えられて不揮発性メモリ102にアクセスし、処理結果を反映させている。他方のCPUからは同一の処理結果が出力されるが反映はされない。

すなわち、他のCPUはいわゆるダミー作業を行っており、バスアービタ122に共通バス201の使用を要求して拒否されることを繰り返している。

しかし、この構成によって、CPU302、312のいずれか一方がダウンしても、ダウンした際の不揮発性メモリ102の情報、履歴は保存されている状態で、即時にバスアービタ122によって他のCPUがバスの使用権を与えられ、不揮発性メモリ102へアクセス可能となって処理を続行することができる。

このとき、不揮発性メモリ102にとっては、CPU302、312のいずれからのアクセスであっても異なるところはなく、またCPU302とCPU312とは同一の処理を同期して行っているので、タイムラグなく切り替えができる。

そして、ダウンしたCPUを備えるCPUボードについては、後になってCPUボードごと抜き差しを行うことによって復旧させることができる。

このとき、コントロールシステムの電源は投入したままでよいので、メンテナンスの手間や費用が少なくて済む。

次に、第2図を用いてシステムコントローラについて詳細に説明する。

第2図は、本発明の実施例におけるシステムコントローラの構成を示すブロック図である。

111は搭載モジュール、111aはSIO、111bはKey SW

1、111cはKey SW2、111dはPMCコネクタ、112は26ピンヘッダ、113はDIPSW、114はLED、115はリヤコネクタ、116はバスバッファ、117はローカルコントローラ、118はリセット回路、119はバッテリバックアップ、120はリセット回路、121はconfigROM、123はOSC、124はクロックDRV、125はDRVである。

また、一例として、不揮発性メモリ102としてSRAM、バスコントローラ103としてPCIバスコントローラ、共通バス201としてコンパクトPCIバスを用いている。

10 システムコントローラ101は、パッシブなRASとしての定期的な機能および受動的な機能のみをもつシステムコントローラであって、バッテリバックアップ119を備えたSRAM等の不揮発性メモリ102を備えており、共通に持つべきデータをここに入れておけばCPUボードのいずれかがダウンしても、また引き抜かれてもデータを保持できる。

15 また、システムコントローラ101の機能を、クロック送出、バスアービタ、リセット送出、IDSEL送出等、定期的な機能および受動的な（パッシブな）機能のみとすることで、システムコントローラ101自身を安定なものとし、コントロールシステム全体を安定化させることができる。

20 共通バス201は、バスゲート202を介して複数のCPUボード、IOボード等のデバイスを備えることができるようになっている。

次に第3図を用いて、本発明を用いたノンストップコントロールシステムについて説明する。

25 第3図は、本発明を用いたノンストップコントロールシステムを示す図である。



501、502、503、504はI Oボード、601、602は、Hot Swap電源等の電源であり、電源601および電源602で二重化電源を構成する。

5 CPUボード301、311には、汎用のPC系CPUボードを用いることができ、PCIブリッジとして、例えばEmbeddedブリッジと呼ばれる21554を用いることで、電源を投入したままのデバイスの抜き差し（以下、Hot Swapともいう。）への対応も標準的にサポートすることができる。

10 CPUボード301、311のデータの入出力には、LANとIDEを使用し、OSはROM化することもできるが、HDDを使用することもできる。

CPUボード301、311は、図示していないピギーバックコネクタを有しており、LANを二重化する際には、ここにLANカードを増設できる。

15 なお、ノンステップ制御のためには特にCPU302、312の性能を高くする必要はないが、例えばデュアルプロセッサのボード等を用いて、これを並列にして超高速パラレル演算システムとすることもできる。

20 また、I Oボード501～504のアクセスを直接CPUボード301、311からは行わず、I Oコントロール専用のプロセッサがアクセスしたデータを、あらかじめ指定されたメモリに転送するようにし、全体の同期をとりながら運用するようにIPモジュールのキャリーを設けてもよい。

25 電源は、二重化電源601、602がすでに実用化されており、またHDD等についてはデータさえ共通になっていればよいので、CPUボード301、311ごとにローカルに備えてもよい。

このような構成とすることで、システムコントローラ101および複

数のデバイスであるCPUボード301、311、IOボード501～504、二重化電源601、602について連続運転を行う、ノンストップコントロールシステムを実現できるようになり、またHot Swap可能なのでメンテナンスにかかる保守コストを大きく下げることができる。

さらに、コンパクトPCIバス等の汎用バスを用いることで、電源、CPU、IOコントローラに汎用品、すなわちオープンシステムを用いることができ、またその全てがHot Swap可能であるので、日々改良される性能の高いCPUボード等のデバイスを随時利用することができ、高いフレキシビリティと、メンテナンスの容易さも実現できる。

次に、第4図を用いてシステムコントロール方法について説明する。

第4図は、本発明に係るシステムコントロール方法を示すフローチャートである。

まず、STARTすると、S1001で、各CPU302、312は同一の処理を同期して行う。

次に、S1002で、バスアービタ122が複数のCPUボード301、311のいずれか一つに共通バス201の使用権を与え、処理結果を不揮発性メモリ102に反映される。

次に、S1003で、CPU302、312のいずれかにエラーが発生する。

次に、S1004で、ダウンしたCPUは、不揮発性メモリ102にアクセスしていたかどうかによってフローが変化する。

アクセスしていなかった場合は、そのまま処理を続行する(S1006)。

アクセスしていた場合は、ダウンしたCPUによる共通バス201の使用がなくなるので、S1005に進み、バスアービタ122が即時に

他のCPUの要求に応じて共通バス201の使用権を与え、タイムラグなく他のCPUからの処理結果が不揮発性メモリ102に反映される。

そして、S1006に進み、処理を続行する。

次に、S1007で、後になってから、ダウンしたCPUを含むCPU  
5 Uボードについて、電源を投入したまま抜き差しを行い（Hot Swap）、復旧させる。

これによって、安定性が高く、ほぼ限界なく連続運転ができるノンストップコントロールを実現できるようになり、またメンテナンスの保守コストを大きく下げることが可能となる。

10 なお、ここではCPUボードについて説明したが、本発明はこれのみに限られるものではなく、IOボードやその他のデバイスについても同様に適用できる。

#### 産業上の利用の可能性

15 したがって、この発明によれば、安価で安定性が高く、ダウンした際の情報、履歴を全て保存し、タイムラグのない処理の切り替えが可能なシステムコントローラ、コントロールシステムおよびシステムコントロール方法を提供できる。

また、センタアービトレーション方式で、かつ電源投入したままデ  
20 バイスの抜き差しが可能なバスを備えることで、ダウンした際の情報、履歴を全て保存し、タイムラグなく処理の切り替えができ、メンテナンスの保守コストを大きく下げることができるコントロールシステムおよびシステムコントロール方法を実現できるようになる。

さらに、オープンシステムを利用することで、安価かつ高性能なコン  
25 トロールシステムを実現できる。

## 請求の範囲

1. センターアービトレーション方式で、かつ電源投入したままデバイスの抜き差しが可能なバスを制御するシステムコントローラであって、バスアービタと不揮発性メモリとを備え、定期的な機能および受動的な機能のみを有することを特徴とするシステムコントローラ。

2. バスアービタと不揮発性メモリとを備え、定期的な機能および受動的な機能のみを有するシステムコントローラと、センターアービトレーション方式で、かつ電源投入したままデバイスの抜き差しが可能なバスと、を有することを特徴とするコントロールシステム。

3. 前記バスは、P C IバスまたはコンパクトP C Iバスであることを特徴とする請求項2記載のコントロールシステム。

4. 前記デバイスは、複数のC P Uボードを含み、前記複数のC P Uボードは、同一の処理を同期して行うことを特徴とする請求項2記載のコントロールシステム。

5. バスアービタと不揮発性メモリとを備え、定期的な機能および受動的な機能のみを有するシステムコントローラと、センターアービトレーション方式で、かつ電源投入したままデバイスの抜き差しが可能なバスと、

前記バス上に複数のデバイスと、を有するコントロールシステムのシステムコントロール方法であって、

前記複数のデバイスのいずれかが一つが、前記バスアービタにバスの使用权を与えられて前記不揮発性メモリにアクセスし、処理結果を前記不揮発性メモリに反映させ、

前記デバイスがダウンすると、即時に前記バスアービタが他のデバイスにバスの使用权を与え、この他のデバイスが処理を続行し、

ダウンした前記デバイスは、コントロールシステム全体の電源を投入したまま抜き差しして復旧させることを特徴とするシステムコントロール方法。

## 補正書の請求の範囲

[2003年5月26日(26.05.03)国際事務局受理：出願当初の請求の範囲  
1-4は補正された；出願当初の請求の範囲5は取り下げられた。(2頁)]

1. (補正後) バスアービタと不揮発性メモリとを備え、定期的な機能  
および受動的な機能のみを有するシステムコントローラと、

5 センターアービトレーション方式で、かつ電源投入したままデバイスの  
抜き挿しが可能なバスと、

前記バス上のデバイスとして、同一の処理を同期して行う複数のCPU  
ボードとを有し、

10 前記システムコントローラは、前記バス上のCPUボードが前記不揮発  
性メモリにアクセス中にダウンした場合、同一の処理を同期して行っ  
ている他のCPUボードの要求に応じてバスの使用权を与えることで、  
ハードウェア構造の定期的な機能および受動的な機能のみによって処理  
の続行を可能に制御し、

15 かつ前記CPUボードがダウンしても、システム全体の電源は投入した  
ままダウンしたCPUボードを抜き挿しして復旧できることを特徴とす  
るコントロールシステム。

2. (補正後) 請求項1記載のコントロールシステムにおいて、  
二重化電源を有し、

20 前記CPUボード、前記電源のいずれがダウンしても、システム全体の  
電源は投入したままダウンしたCPUボード、または電源を抜き挿しし  
て復旧できることを特徴とするコントロールシステム。

3. (補正後) 請求項2記載のコントロールシステムにおいて、  
前記バス上のデバイスとして、二重化したIOボードを有し、

25 前記システムコントローラは、前記バス上のCPUボードまたはIO  
ボードが前記不揮発性メモリにアクセス中にダウンした場合、同一の処  
理を同期して行っている他のCPUボードまたは二重化した他のIO  
ボードの要求に応じてバスの使用权を与えることで、ハードウェア構造

の定期的な機能および受動的な機能のみによって処理の続行を可能に制御し、

かつ前記CPUボード、前記IOボード、前記電源のいずれがダウンしても、システム全体の電源は投入したままダウンしたCPUボード、またはIOボード、または電源を抜き挿しして復旧できることを特徴とする  
5     コントロールシステム。

4. (補正後) バスアービタと不揮発性メモリとを備え、定期的な機能および受動的な機能のみを有するシステムコントローラと、  
センターアービトレーション方式で、かつ電源投入したままデバイスの  
10     抜き挿しが可能なバスと、

前記バス上のデバイスとして、同一の処理を同期して行う複数のCPUボードとを有するコントロールシステムのシステムコントロール方法であって、

前記バス上のCPUボードが前記不揮発性メモリにアクセス中にダウン  
15     すると、前記システムコントローラが同一の処理を同期して行っている他のCPUボードの要求に応じてバスの使用権を与え、処理を続行させ、システム全体の電源は投入したままダウンしたCPUボードを抜き挿しして復旧させることを特徴とするシステムコントロール方法。

## 条約 19 条 (1) に基づく説明書

請求項第 1 項は、コントロールシステムにおいて、定期的な機能および受動的な機能のみを有するシステムコントローラと、センターアービ  
5 トレーション方式で、かつ電源投入したままデバイスの抜き差しが可能なバスと、同一の処理を同期して行う複数の CPU ボードとを有し、CPU ボードがダウンした場合でも、ハードウェア構造の機能のみによって処理を続行し、かつシステム全体の電源は投入したまま復旧できることを明確にした。請求項第 2 項、請求項第 3 項は、請求項 1 の実施態様  
10 とし、請求項第 4 項は、システムコントロール方法において、複数の CPU ボードに、同一の処理を同期して行わせることを明確にした。

引例のうち、JP 60-221863 は、ハードウェア構造の機能によってメモリを共有する技術を示すが、デバイスがダウンしたときに処理を続行する構成については開示がない。

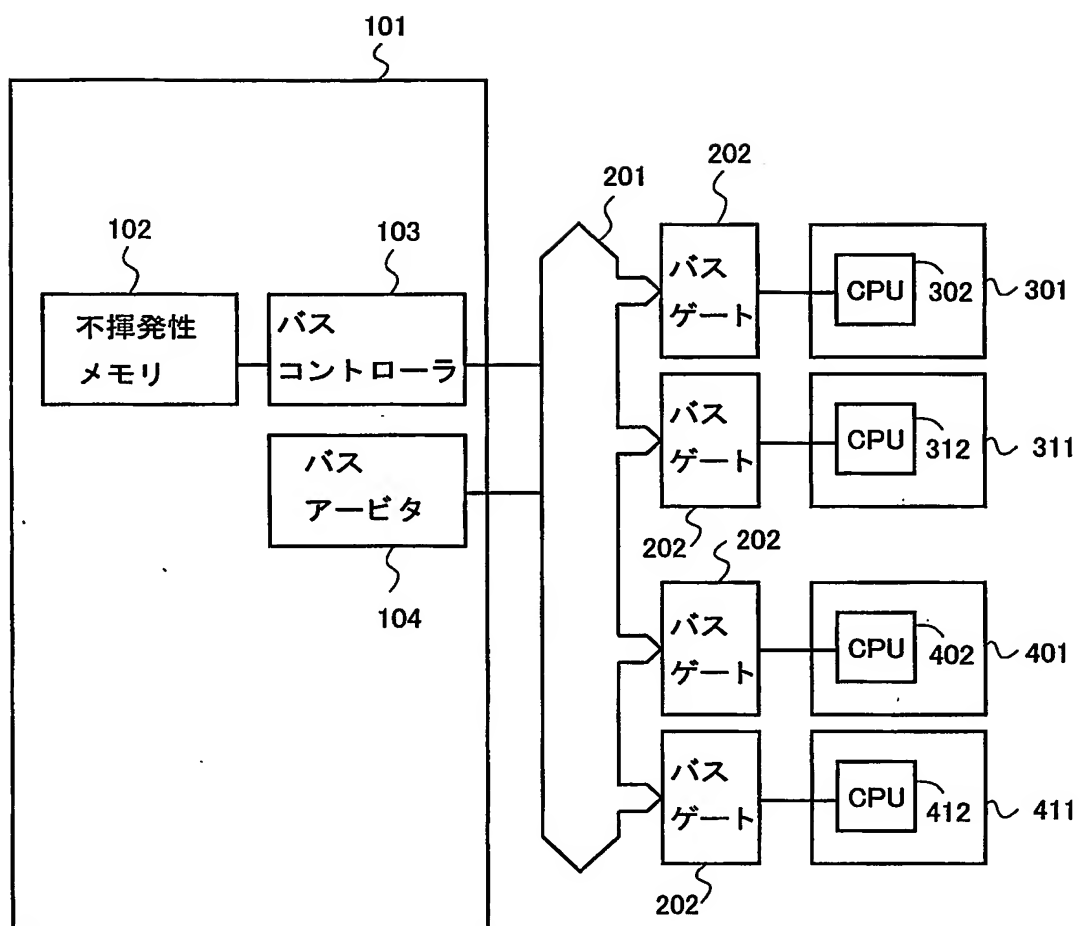
15 JP 3-75836 は、クラッシュ時にデータを引継いで処理を続行する構成を示すが、実現の仕方はソフトウェア制御によるものであって、複数の CPU ボードに同一の処理を同期して行わせ、バスによって一方の処理結果を排他するハードウェア構造には開示がない。

また、JP 2002-269029 も、複数の CPU ボードに同一の  
20 処理を同期して行わせ、バスによって一方の処理結果を排他するハードウェア構造には開示がない。

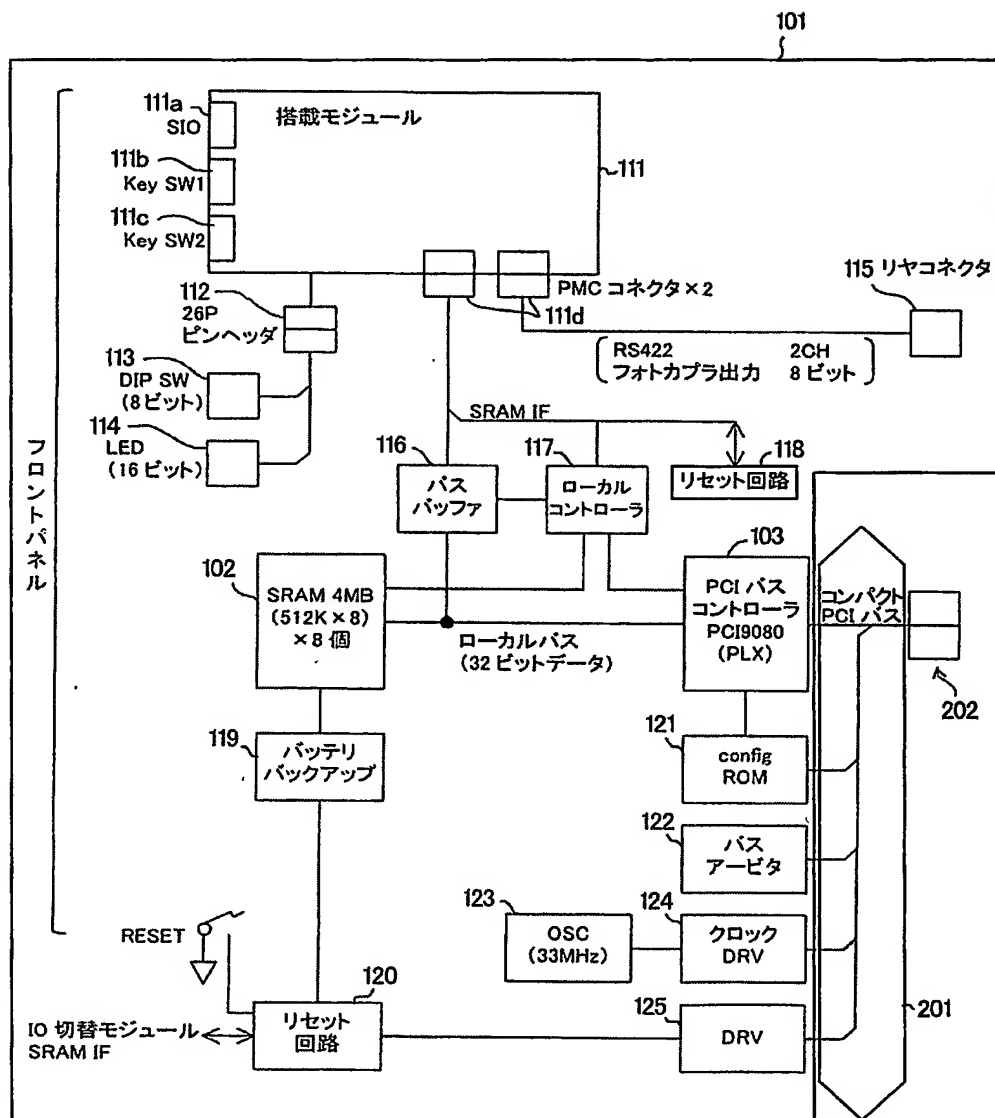


1/5

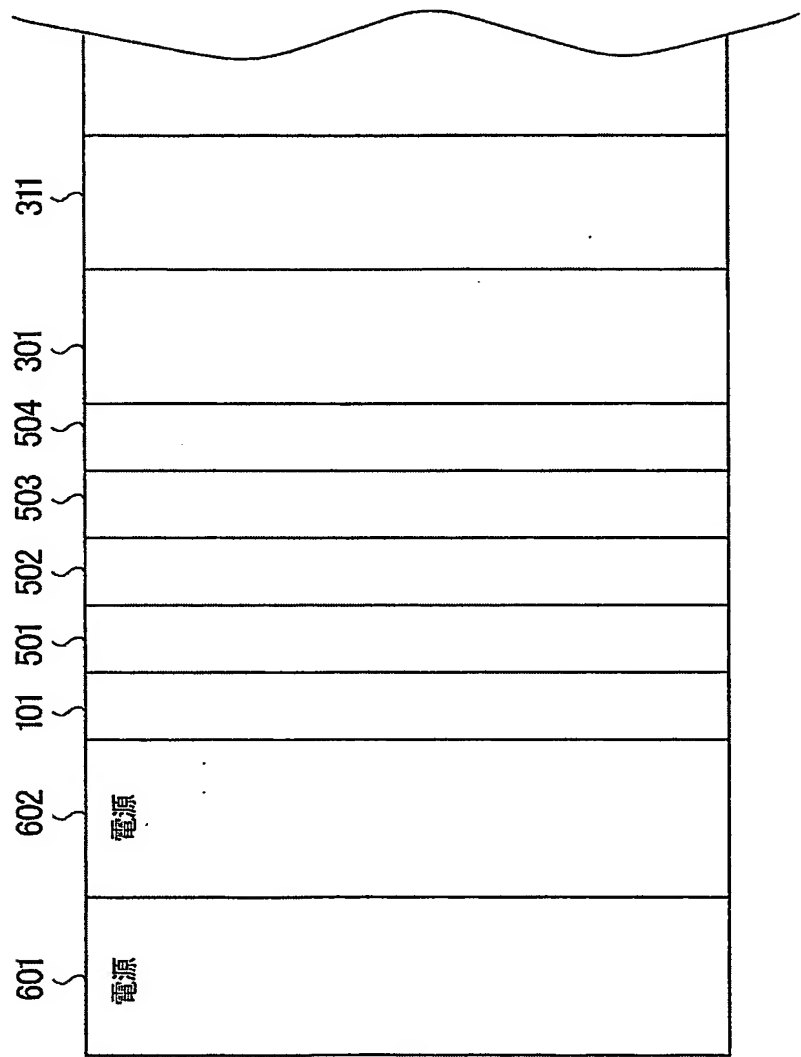
第1図



第2図

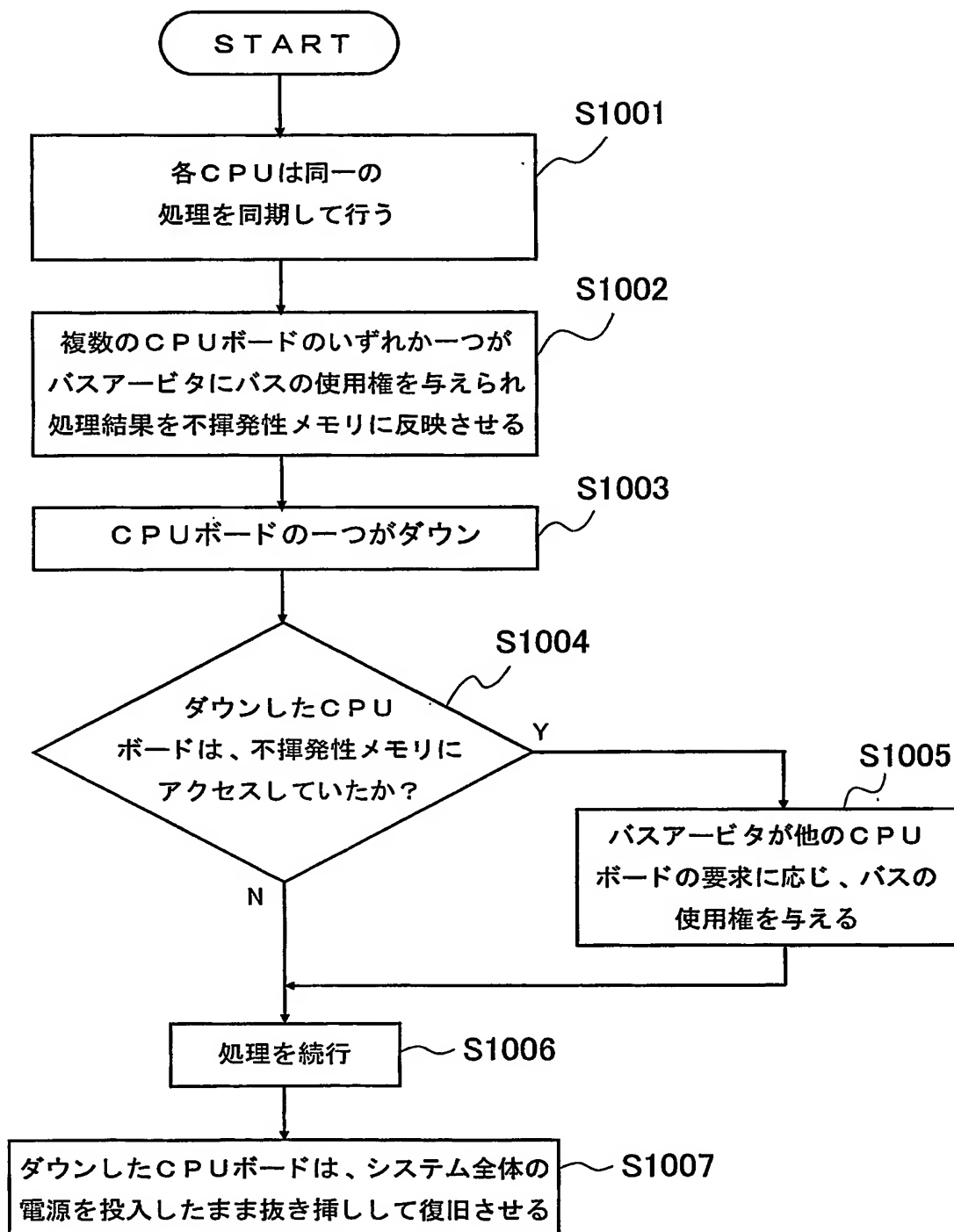


第3図



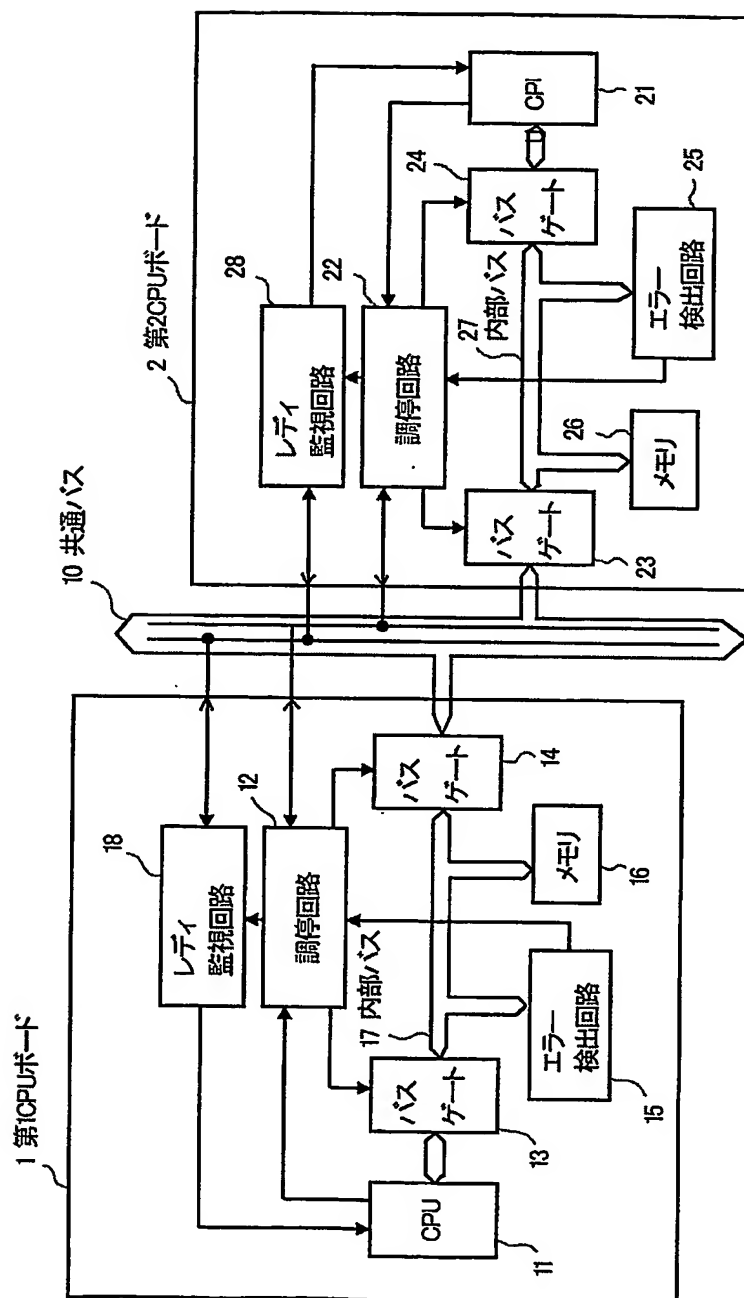
4/5

第4図



5/5

第5図



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11243

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>7</sup> G06F11/20, G06F15/177, G06F3/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl.<sup>7</sup> G06F11/16-11/20, G06F15/16-15/177, G06F3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 60-221863 A (Matsushita Communication Industrial Co., Ltd.), 06 November, 1985 (06.11.85), Pages 3 to 5; Fig. 2 (Family: none)	1-5
Y	JP 3-75836 A (Fujitsu Ltd.), 29 March, 1991 (29.03.91), Full text; all drawings (Family: none)	1-5
Y	JP 2002-269029 A (NEC Corp.), 20 September, 2002 (20.09.02), Par. No. [0043] (Family: none)	2, 3, 5
A	Kunio ATAGO, "Compact PCI no Gaiyo", Interface, CQ Publishing Co., Ltd., 01 March, 1997 (01.03.97), Vol.23, No.3, page 121	2-3, 5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
28 January, 2003 (28.01.03)

Date of mailing of the international search report  
12 February, 2003 (12.02.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G06F11/20, G06F15/177, G06F3/00

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G06F11/16-11/20, G06F15/16-15/177, G06F3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 60-221863 A (松下通信工業株式会社), 1985. 11. 06 第3-5頁, 図2 (ファミリーなし)	1-5
Y	J P 3-75836 A (富士通株式会社) 1991. 03. 29 全文, 全図 (ファミリーなし)	1-5
Y	J P 2002-269029 A (日本電気株式会社) 2002. 09. 20 段落番号【0043】 (ファミリーなし)	2, 3, 5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

28. 01. 03

国際調査報告の発送日

12.02.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

浜岸 広明

5 B

9845

電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	愛宕邦夫, Compact PCIの概要, Interface, CQ出版株式会社, 1997. 03. 01, 第23巻, 第3号, p. 121	2-3, 5